

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-200817

(43)Date of publication of application : 31.07.1998

(51)Int.Cl.

H04N 5/335

H01L 27/146

(21)Application number : 09-001543

(71)Applicant : SONY CORP

(22)Date of filing : 08.01.1997

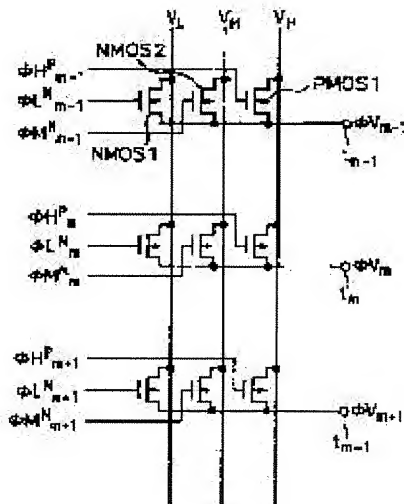
(72)Inventor : YONEMOTO KAZUYA

(54) SOLID-STATE IMAGE PICKUP DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the switching elements of the output stage of the scanning circuit or transfer driving circuit of a solid-state image pickup device and to reduce the scale of a logic circuit by constituting a circuit for outputting three or more voltage levels by the same number of the switching elements as the number of the levels.

SOLUTION: In the output stage of a vertical circuit, the respective source electrodes of the switching elements NMOS1, NMOS2 and PMOS1 are respectively connected to power supply voltages VL, VM and VH, respective gate electrodes are connected to vertical



scanning pulses ϕ_{LN} , ϕ_{MN} and ϕ_{HN} and respective drain electrodes are connected to a common output terminal (t). The NMOS1 is turned to a conductive state in the case that the VL of a low level are outputted to scanning pulses ϕ_{Vm} , the NMOS2 is turned to the conductive state in the case that an intermediate level VM is outputted and the PMOS1 is turned to the conductive state in the case that a

high level VH is outputted. Thus, three is made sufficient for the number of output switching elements in the case that the output of the vertical scanning circuit is three values, the three kinds of pulse voltages are sufficient as well and the scale of the output stage and a pulse generation circuit is reduced.

LEGAL STATUS

[Date of request for examination] 05.09.2003

[Date of sending the examiner's decision
of rejection]

[Kind of final disposal of application other
than the examiner's decision of rejection
or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The solid state camera characterized by coming to consist of [switching devices of the same number as the number of level] the circuit which outputs three or more voltage levels.

[Claim 2] The solid state camera characterized by coming to consist of [three switching devices] the circuit which outputs three voltage levels.

[Claim 3] The solid state camera according to claim 1 characterized by connecting the 1st main electrode of the switching device of said circuit to each power source which gives three or more voltage levels, connecting the 2nd main electrode to an output, and changing.

[Claim 4] The solid state camera according to claim 2 characterized by the switching device of said circuit consisting of two n channel MOS transistors and one p channel MOS transistor, or coming to consist of one n channel MOS transistor and two p channel MOS transistors.

[Claim 5] As opposed to the switching device corresponding to output levels other than high-voltage level and low-battery level Bordering on the boundary potential calculated by the ratio of the mutual conductance of an n channel MOS transistor, and the mutual conductance of a p channel MOS transistor which constitutes this switching device It is the solid state camera according to claim 1 characterized by constituting said switching device from an n channel MOS transistor when outputting low potential, and constituting said switching device from a p channel MOS transistor when outputting high potential bordering on said boundary potential.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the solid state camera which has the circuit which outputs three voltage levels (three values) or the voltage level beyond it.

[0002]

[Description of the Prior Art] As a solid state camera, incident light performs photo electric conversion, the signal charge obtained by photo electric conversion is accumulated, and the magnification mold solid state camera which consisted of pixels with the function which modulates channel current according to the accumulated amount of charges, for example, a pixel MOS transistor, is proposed.

[0003]

[Problem(s) to be Solved by the Invention] In this magnification mold solid state image sensor, to reduce the dark current as much as possible is desired. There are two causes in the dark current, one is generation of the hot carrier in a pixel MOS transistor, and another is generation of the electron and hole pair in the interface of the gate section interface of a pixel MOS transistor, i.e., gate dielectric film and a semi-conductor front face.

[0004] In a magnification mold solid state image sensor, when the pixel MOS transistor turns off, a minute current does not flow to a pixel MOS transistor, but there is no generation of a hot carrier. Therefore, the dark current by generation of a hot carrier is not produced. However, in a charge storage period (the so-called light-receiving period), the pixel MOS transistor is turned off, by this OFF state, it cannot inject a charge (electron) into the gate section front face of a pixel MOS transistor, but, for this reason, an electron and a hole pair will generate it, and its dark current will increase by accumulating the hole of these in a sensor field.

[0005] In order to reduce the dark current by generation of this electron and hole pair, in the charge storage period, high-voltage level is impressed to the gate section by making the source and a drain into same electric potential, an electron is poured into a gate section interface in a charge and this example, and it considers suppressing generating of the electron and hole pair in a gate section interface. However, when making the source and a drain into the same low electrical potential difference, impressing high-voltage level to the gate section and pouring an electron into a gate section interface, in the high part of the electric field in a source - gate boundary and a drain - gate boundary, the electron poured in will be accelerated, a hot carrier will be

generated and generating of the dark current will be caused. That is, in order to oppress the dark current generated from a gate section interface, when it is going to pour in an electron, the dark current by the hot carrier will occur conversely. In case an electron is poured into a gate section interface, it is necessary to make into three values the electrical potential difference given to the control electrode of a pixel, in order to avoid the cause of these two dark currents to coincidence in order to make the electric field in a source – gate boundary and a drain – gate boundary as small as possible.

[0006] By the way, in order to output the voltage level of three values from a vertical-scanning circuit, as shown in drawing 8, four switching devices (namely, MOS transistor) of each of that output stage were usually needed.

[0007] Drawing 8 shows the output stage of a vertical-scanning circuit, and each output stage consists of a total of four MOS transistors of two p channel MOS transistors (PMOS1 and PMOS2) and two n channel MOS transistors (NMOS1 and NMOS2) as a switching device, respectively. The source electrode of p channel each MOS transistors PMOS1 and PMOS2 and the n channel MOS transistors NMOS1 and NMOS2 is the power source V_H which supplies the electrical potential difference of three values, V_M , and V_L . It connects, a drain electrode is connected to an output, and, as for a gate electrode, each pulse voltage is impressed.

[0008] That is, it is the power source V_L of low-battery level to the source electrode of the 1st n channel MOS transistor NMOS 1. It connects. It is pulse-voltage ϕ_{iLN} to a gate electrode. [$\phi_{iLN\ m-1}$, $\phi_{iLN\ m}$, $\phi_{iLN\ m+1}$, ...] are impressed. It is the power source V_M of intermediate voltage level to both the source electrode of the 2nd n channel MOS transistor NMOS 2, and the source electrode of the 1st p channel MOS transistor PMOS 1. It connects. It is pulse-voltage ϕ_{iMN} to each gate electrode. [$\phi_{iMN\ m-1}$, $\phi_{iMN\ m}$, $\phi_{iMN\ m+1}$ and ...] and ϕ_{iMP} [$\phi_{iMP\ m-1}$, $\phi_{iMP\ m}$, $\phi_{iMP\ m+1}$, ..] are impressed. It is the power source V_H of high-voltage level to the source electrode of the 2nd p channel MOS transistor PMOS 2. It connects. It is pulse-voltage ϕ_{iHP} to a gate electrode. [$\phi_{iHP\ m-1}$, $\phi_{iHP\ m}$, $\phi_{iHP\ m+1}$, ...] are impressed. The drain electrode of MOS transistors NMOS1, NMOS2, PMOS1, and PMOS2 of n channels each and a p channel is connected to outgoing end t [t_{m-1} , t_m , t_{m+1} , ...]. This outgoing end t1 Vertical-scanning pulse ϕ_{iV} [$\phi_{iV\ m-1}$, $\phi_{iV\ m}$, $\phi_{iV\ m+1}$, ..] is outputted from [t_{m-1} , t_m , t_{m+1} , ...], respectively.

[0009] The output stage of the m-th line is explained as an example which outputs three values in actuation of this vertical-scanning circuit. timing as shown in drawing 9 — the gate electrode of each MOS transistors PMOS1, PMOS2, NMOS1, and NMOS2

of a switching device -- pulse-voltage ϕ_{HPm} , ϕ_{MPm} , ϕ_{MNm} , and ϕ_{LNm} if supplied -- outgoing end t_m from -- vertical-scanning pulse ϕ_{Vm} of three values It is obtained.

[0010] Vertical-scanning pulse ϕ_{Vm} Value VL of low-battery level When outputted, it is pulse-voltage ϕ_{LNm} . Only connected MOS transistor NMOS1 will be in switch-on. Value VM of intermediate voltage level When outputted, it is pulse-voltage ϕ_{MPm} . MOS transistors PMOS1 and NMOS2 connected to ϕ_{MNm} , respectively will be in switch-on. Value VH of high-voltage level When outputted, it is pulse-voltage ϕ_{HPm} . Connected MOS transistor PMOS2 will be in switch-on.

[0011] Thus, they are ϕ_{HP} , ϕ_{MP} , ϕ_{MN} , and ϕ_{LN} per output stage for having composition using four MOS transistors which are switching devices per output stage in the case of the vertical-scanning circuit which outputs three values, and there being a fault that there are many element numbers, and controlling this output stage further. Four pulses were required and there was a fault to which the circuit scale which controls an output stage also becomes large.

[0012] In addition, the driving pulse of three values is needed also when driving the perpendicular transfer register of a CCD solid state image sensor. That is, when carrying out the charge transfer of the inside of a perpendicular transfer register, the repetition pulse of low-battery level and intermediate voltage level is impressed to a transfer electrode, and when reading a signal charge from a light sensing portion to a perpendicular transfer register, high-voltage level is impressed to a transfer electrode. Therefore, four switching devices are used like **** by the circuitry which outputs three values in this case.

[0013] This invention offers the solid state camera which enabled it to reduce the number of switching devices which constitutes the output stage which outputs three or more values in view of an above-mentioned point in the scanning circuit of a solid state camera, or read-out, a transfer drive circuit, etc.

[0014]

[Means for Solving the Problem] The solid state camera concerning this invention is characterized by constituting the circuit which outputs three or more voltage levels from a switching device of the same number as the number of level. Since it consists of switching devices of the same number as the number of voltage levels, contraction-ization of a circuit scale is attained compared with the former.

[0015]

[Embodiment of the Invention] The 1st solid state camera concerning this invention constitutes the circuit which outputs three or more voltage levels from a switching

device of the same number as the number of the voltage levels.

[0016] The 2nd solid state camera concerning this invention constitutes the circuit which outputs three voltage levels from three switching devices.

[0017] This invention is considered as the configuration in which the 1st main electrode of the switching device of a circuit was connected to each power source which gives three or more voltage levels, and the 2nd main electrode was connected to the output in the 1st solid state camera of the above.

[0018] In the 2nd solid state camera of the above, this invention constitutes the switching device of a circuit from two n channel MOS transistors and one p channel MOS transistor, or constitutes it from one channel MOS transistor and two p channel MOS transistors.

[0019] As opposed to the switching device on the 1st solid state camera of the above, and corresponding to output levels other than high-voltage level and low-battery level in this invention Bordering on the boundary potential calculated by the ratio of the mutual conductance of an n channel MOS transistor, and the mutual conductance of a p channel MOS transistor which constitutes a switching device When outputting low potential, the above-mentioned switching device is constituted from an n channel MOS transistor, and when outputting high potential bordering on the above-mentioned boundary potential, the above-mentioned switching device consists of p channel MOS transistors.

[0020] Hereafter, the example of this invention is explained with reference to a drawing.

[0021] Drawing 1 is the example applied to the magnification mold solid state camera which is one of the X-Y address type solid state cameras. The pixel transistor from which this magnification mold solid state camera 1 constitutes a unit pixel (cel), Two or more pixel MOS transistors 2 are arranged in the shape of a matrix. For example, the 1st main electrode of each pixel MOS transistor 2, That is, a drain electrode is a power source VD. It connects in common. The control electrode of pixel MOS transistor 2 for every line, Namely, a gate electrode is connected to the perpendicular selection line 4 by which scan pulse ϕ_iV [... , ϕ_{Vm+1} , ϕ_{Vm} , ...] is outputted from the vertical-scanning circuit 3. It comes to connect with the perpendicular signal line 5 which outputs a pixel signal to the horizontal scanning circuit 6, the 2nd main electrode, i.e., source electrode, of pixel MOS transistor 2 for every train.

[0022] The horizontal scanning circuit 6 is constituted by the switch (for example, MOS switch) 7 of operation, the load capacitative element 8, the level switch (for example, MOS switch) 9, the level signal line 10, and the level shift register 11. That is,

the load capacitative element 8 which holds a pixel signal through the switch 7 of operation controlled by of operation pulse ϕ_{OP} is connected to the perpendicular signal line 5, and the level switch 9 controlled by horizontal scanning pulse ϕ_i of the level shift register 11] H [...., ϕ_{iHn} , ϕ_{iHn+1} , ..] between the load capacitative element 8 and the level signal line 10 is connected to it.

[0023] During a level image period, the level switch 9 controlled by horizontal scanning pulse ϕ_i from a level shift register] H [...., ϕ_{iHn} , ϕ_{iHn+1} , ..] carries out a sequential flow, and the pixel signal which the pixel signal was held through the switch 7 of operation at the load capacitative element 8 at the level blanking period, and was held at this load capacitative element 8 is outputted to the level signal line 10.

[0024] the pixel signal by which the water Hiraide force circuit 15 constituted by the detection capacitative element 13 and the reset switch (for example, reset MOS switch) 14 was connected to the operational amplifier 12, for example, the differential amplifier, at the end of the level signal line 10, and the sequential output was carried out at the level signal line 10 -- an electrical potential difference -- changing -- output terminal tout of image pick-up equipment 1 from -- a signal is outputted.

[0025] The level signal line 10 is connected to the inversed input terminal of the differential amplifier 12 in the water Hiraide force circuit 15, and it is bias voltage VB predetermined to the non-inversed input terminal. It is given and they are the detection capacitative element 13 and reset pulse ϕ_{iR} to the differential amplifier 12 between juxtaposition, i.e., the inversed input terminal of the differential amplifier 12, and an output terminal. The reset switch 14 impressed is connected.

[0026] The top view of a pixel MOS transistor where drawing 3 A was arranged in the shape of a matrix, and drawing 3 B show an example of the semi-conductor structure of a unit pixel (namely, pixel MOS transistor 2). The so-called sensor field 24 which sequential formation of the 2nd conductivity type 22, for example, the n-type-semiconductor field, and the p type semiconductor field 23 where this pixel MOS transistor 2 serves as an overflow barrier field on the silicon semi-conductor substrate 21 of the 1st conductivity type, for example, p mold, is carried out, and becomes the front face of this p type semiconductor field 23 from the p type semiconductor field where concentration is higher than this is formed. furthermore, the sensor field 24 top -- for example, SiO₂ The gate electrode 26 of the shape of a ring which may penetrate light through the gate dielectric film 25 to twist is formed. etc. -- The source field 27 and the drain field 28 of n mold are formed in the field corresponding to the inside and the outside of the gate electrode 26 of the shape of the ring, respectively. Moreover, the channel stop field 29 of n mold for making it the

signal charge accumulated in the bottom of the gate not begin to leak to a contiguity pixel is formed in the p type semiconductor field [directly under] 23 of the drain field 28, and it changes.

[0027] the potential which the light L which penetrated the ring-like gate electrode 26 carries out photo electric conversion in a silicon semi-conductor, and generates the pair of an electron and a hole and by which Hole h was formed in p mold sensor field 24 under the gate electrode 26 as a signal charge in one charge of these, and this example as this pixel MOS transistor 2 showed to drawing 3 B -- it is accumulated in a well. The channel current at the time of read-out actuation (namely, channel current which flows to the channel of the front face of the sensor field 24 [the current between the so-called source drains]) is controlled by this charge (hole) h, and the variation of that channel current serves as a signal output.

[0028] It is required that the above-mentioned magnification mold solid state camera 1 impresses the electrical potential difference of a high level in a selection condition, it should be read in the condition of not choosing, should impress the electrical potential difference of middle level to a period, and should impress the electrical potential difference of a low to the control electrode of pixel MOS transistor 2 as an example at a pixel reset period. And in a charge storage period, it is required for reduction of the dark current that the electrical potential difference of a high level should be impressed to a control electrode where the source and the drain of pixel MOS transistor 2 are made into same electric potential.

[0029] As shown in the drive timing chart of drawing 2 , it is the level blanking period HBLK of the inside of this drawing, for example, the left. If it attaches This level blanking period HBLK In order to perform the actuation which outputs pixel MOS transistor 2 of the m-1st line to a pixel signal in the first half, and holds a pixel signal to the load capacitive element 8, i.e., read-out actuation Vertical-scanning pulse ϕ_{Vm-1} of the m-1st line It is made a high level, and if of operation pulse ϕ_{iOP} added to the control electrode of the switch 7 of operation is started, a pixel signal will be read to load-carrying capacity 8 (selection read-out). Next, level blanking period HBLK It is vertical-scanning pulse ϕ_{Vm-1} of the m-1st line in order to reset the signal charge of read pixel MOS transistor 2 in the second half. It is substrate pulse ϕ_{iSUB} , making it a high level. The signal charge which rises and is accumulated in pixel MOS transistor 2 is discharged to a substrate (the so-called reset of selection).

[0030] The level blanking period HBLK same on the other hand In the first half, the control electrode of pixel MOS transistor (the so-called non-choosing pixel) 2 which does not perform read-out except the m-1st line is vertical-scanning pulse ϕ_{Vm} in

drawing 2 . ϕ_{Vm+1} It is made middle level and a signal is made not to be read so that it may be shown (non-choosing read-out). Moreover, the control electrode of pixel MOS transistors 2 other than the $m-1$ st line which does not reset is vertical-scanning pulse ϕ_{Vm} in drawing in the second half of the same level blanking period. ϕ_{Vm+1} The signal charge which made it the low and was accumulated in pixel MOS transistor 2 is made not to be reset so that it may be shown (non-reset of selection). During a level image period, the pixel signal held at the load capacitive element 8 with the level switch 9 controlled by horizontal scanning pulse ϕ_{iH} [....., ϕ_{iHn} , ϕ_{iHn+1} , ..] is outputted to the level signal line 10, and Signal OUT is outputted from the water Hiraide force circuit 15.

[0031] Next, in the magnification mold solid state camera of an above-mentioned X-Y address type, the example of the circuitry of the output stage of the scanning circuit of a case so that the outputs of a vertical-scanning circuit or a horizontal scanning circuit may be three values is explained.

[0032] Drawing 4 shows the 1st example of the circuitry of each output stage of the vertical-scanning circuit 3. Each output stage of this vertical-scanning circuit 3 is pulse-voltage ϕ_{iLN} to a control electrode (namely, gate electrode). [$\phi_{iLN\ m-1}$, $\phi_{iLN\ m}$, and $\phi_{iLN\ m+1}$] are supplied. The 1st main electrode (namely, source electrode) is the power source VL of a low. The 1st connected n channel MOS transistor NMOS 1 It is pulse-voltage ϕ_{iMN} to a control electrode (namely, gate electrode). [$\phi_{iMN\ m-1}$, $\phi_{iMN\ m}$, and $\phi_{iMN\ m+1}$] are supplied. The 1st main electrode (namely, source electrode) is the power source VM of middle level. The 2nd connected n channel MOS transistor NMOS 2 It is pulse-voltage ϕ_{iHP} to a control electrode (namely, gate electrode). [$\phi_{iHP\ m-1}$, $\phi_{iHP\ m}$, and $\phi_{iHP\ m+1}$] are supplied. The 1st main electrode (namely, source electrode) is the power source VH of a high level. It consists of three switching devices with the connected p channel MOS transistor PMOS 1. Each 2nd main electrode (namely, drain electrode) of each MOS transistors NMOS1, NMOS2, and PMOS1 is connected to common output terminal t [t_{m-1} , t_m , and t_{m+1}].

[0033] Next, actuation of the example of this drawing 4 is explained using the timing chart of drawing 5 . Vertical-scanning pulse ϕ_{Vm} It takes for an example. This vertical-scanning pulse ϕ_{Vm} Value VL of a low When outputted Pulse-voltage ϕ_{iLN} It is a power source VL at a high level. The 1st connected n channel MOS transistor NMOS 1 will be in switch-on. Other pulse-voltage $\phi_{iMN}(s)$ It is a power source VM at a low. The 2nd n channel MOS transistor NMOS 2 and pulse-voltage ϕ_{iMH} which were connected It is a power source VH at a high level. The connected p channel

MOS transistor PMOS 1 will be in non-switch-on.

[0034] Vertical-scanning pulse ϕ_{Vm} Value VM of middle level When outputted Pulse-voltage ϕ_{iLN} It is a power source VL at a low. The 1st connected n channel MOS transistor NMOS 1 will be in non-switch-on. Pulse-voltage ϕ_{iMN} It is a power source VM at a high level. The 2nd connected n channel MOS transistor NMOS 2 will be in switch-on, and it is pulse-voltage ϕ_{iHP} . It is a power source VH at a high level. Connected PMOS1 will be in non-switch-on.

[0035] The p channel MOS transistor PMOS 1 connected to vertical-scanning pulse ϕ_{Vm} will be in switch-on. Value VH of a high level When outputted, it is pulse-voltage ϕ_{iLN} . It is a power source VL at a low. The 1st n channel MOS transistor NMOS 1 and pulse-voltage ϕ_{iMN} which were connected It is a power source VL at a low. The 2nd connected n channel MOS transistor NMOS 2 will be in non-switch-on, and it is pulse-voltage ϕ_{iHN} . It is a power source VH at a low.

[0036] When the switching device of an output stage in case the outputs of a vertical-scanning circuit are three values can be managed with three pieces according to this 1st example, the pulse voltage included in an output stage also requires only three kinds. For this reason, the output stage which takes area most in a vertical-scanning circuit becomes small, and the scale of the logical circuit in the scanning circuit which makes a pulse required for actuation of an output stage also becomes small, and it contributes to the miniaturization of a magnification mold solid state camera.

[0037] Drawing 6 shows the 2nd example. The place which is different from the 1st example of above-mentioned drawing 4 in this 2nd example is the power source VM of middle level. It is the point which replaced with the n channel MOS transistor NMOS 2 the switching device to which the 1st main electrode (namely, source electrode) was connected, and was used as the p channel MOS transistor PMOS 2. Since other configurations are the same as that of drawing 4, duplication explanation is omitted.

[0038] The timing chart of this 2nd example is shown in drawing 7. Here, it is the power source VM of middle level. Pulse-voltage ϕ_{iMP} m which controls the p channel MOS transistor PMOS 2 to which the source electrode was connected Pulse-voltage ϕ_{iMN} m which controls the n channel MOS transistor NMOS 2 of the 1st example It receives and is reversed. Other pulse-voltage ϕ_{iHP} m and ϕ_{iLN} m It is the same as the 1st example.

[0039] Fundamental actuation is the same as that of the 1st example.

Vertical-scanning pulse ϕ_{Vm} Value VL of a low When outputting Power source VL It flows through the connected n channel MOS transistor NMOS 1, and is the value VM

of middle level. When outputting power source VM the 2nd connected p channel MOS transistor PMOS 2 — flowing — value VH of a high level Outputting Power source VH So that it may flow through the 1st connected p channel MOS transistor PMOS 1 They are pulse-voltage ϕ_{iLN} , ϕ_{iMP} , and ϕ_{iHP} to the control electrode of the each switching device NMOS 1, i.e., n channel MOS transistor, 1st, and 2nd p channel MOS transistors PMOS1 and PMOS2. It gives.

[0040] Also in this 2nd example, the pulse voltage which the switching device of an output stage in case the outputs of a scanning circuit are three values can be managed with three pieces like the 1st example, and goes into an output stage is also good at three kinds. Therefore, the occupancy area of the output stage in a scanning circuit becomes small, and the scale of the logical circuit in the scanning circuit which makes a pulse voltage required for actuation of an output stage also becomes small, and the miniaturization of a solid state camera can be attained.

[0041] The 1st example of drawing 4 is the output voltage VM of middle level. When [of a high level and a low] it is low approach, it is almost more advantageous than middle, and the 2nd example of drawing 6 is the output voltage VM of middle level conversely. It is advantageous when it is high-level approach.

[0042] The reason originates in the on resistance of a switching device through which it flows when outputting middle level, and size of the switching device to which the direction of a p channel MOS transistor outputs middle level under the above-mentioned conditions by on resistance becoming low if on resistance becomes [the direction of an n channel MOS transistor] low bordering on middle mostly if it is low approach, and it is high-level approach of a high level and a low (channel width) is made as for the output voltage of middle level to min.

[0043] When putting in another way, for example it considers as three or more values As opposed to the switching device corresponding to a high level and output levels other than a low Bordering on the boundary potential calculated by the ratio of the mutual conductance of an n channel MOS transistor, and the mutual conductance of a p channel MOS transistor which constitutes a switching device When the switching device which outputs the middle level is constituted from an n channel MOS transistor when outputting low potential, and outputting high potential bordering on said boundary potential, it is good to constitute the switching device which outputs the middle level from a p channel MOS transistor.

[0044] In addition, although the upper example explained the output stage of the scanning circuit which outputs the voltage level of three values, also when outputting the voltage level of three or more values, it can constitute from a switching device of

the number of the level, and the same number.

[0045] Moreover, this invention can apply above-mentioned this invention also to the circuitry of the output stage which outputs the driving pulse of three values of the low at the time of the charge transfer within three values given to a perpendicular transfer register, i.e., a perpendicular transfer register, and middle level, and a high level when reading the signal charge from a light sensing portion to a perpendicular transfer register in a CCD solid state camera.

[0046]

[Effect of the Invention] According to this invention, by the circuit which outputs three voltage levels or three voltage levels or more consisting of switching devices of the same number as the number of those level, the switching device of the output stage of a solid state camera, for example, a scanning circuit, or a transfer drive circuit can be reduced, therefore occupancy area of an output stage can be made small, and the scale of the logical circuit which makes the pulse which controls this switching device to coincidence can also be reduced. The miniaturization of a solid state camera can be attained by this.

[0047] When outputting the voltage level of three values, a circuit can consist of a total of three MOS transistors, a total of three MOS transistors of two n channel MOS transistors and one p channel MOS transistor or one n channel MOS transistor, and two p channel MOS transistors.

[0048] By using the switching device corresponding to output levels other than high-voltage level and low-battery level as a p channel MOS transistor or an n channel MOS transistor, it becomes possible to make the middle output level into high-voltage level approach or low-battery level approach.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing an example of the solid state camera concerning this invention.

[Drawing 2] It is the drive timing chart and output wave form chart of a solid state camera concerning this invention.

[Drawing 3] A It is the rough top view of the pixel of the solid state image sensor concerning this invention.

B It is a sectional view on the X-X' line of drawing 3 A.

[Drawing 4] It is the circuitry Fig. showing an example of the output stage which outputs the voltage level of three values concerning this invention.

[Drawing 5] It is the timing chart of drawing 4 .

[Drawing 6] It is the circuitry Fig. showing other examples of the output stage which outputs the voltage level of three values concerning this invention.

[Drawing 7] It is the timing chart of drawing 6 .

[Drawing 8] It is the circuitry Fig. of the output stage which outputs the voltage level of three values concerning the conventional example.

[Drawing 9] It is the timing chart of drawing 8 .

[Description of Notations]

1 Magnification Mold Solid State Camera, 2 N Channel MOS Transistor Pixel MOS Transistor, 3 (Switching Device) Vertical-Scanning Circuit, 4 Perpendicular Selection Line, 5 Perpendicular Signal Line, 6 Horizontal Scanning Circuit, 7 Switch of Operation, 8 Load Capacitive Element, 9 Level Switch, 10 Level Signal Line, 11 Level Shift Register, 15 Water Hiraide Force Circuit, PMOS1, PMOS2 P Channel MOS Transistor (Switching Device), NMOS1, NMOS2

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-200817

(43) 公開日 平成10年(1998) 7月31日

(51) Int.Cl.⁵

識別記号

F I

H 0 4 N 5/335

H 0 4 N 5/335

E

H 0 1 L 27/146

H 0 1 L 27/14

A

審査請求 未請求 請求項の数5 OL (全 8 頁)

(21) 出願番号

特願平9-1543

(22) 出願日

平成9年(1997) 1月8日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 米本 和也

東京都品川区北品川6丁目7番35号 ソニー株式会社内

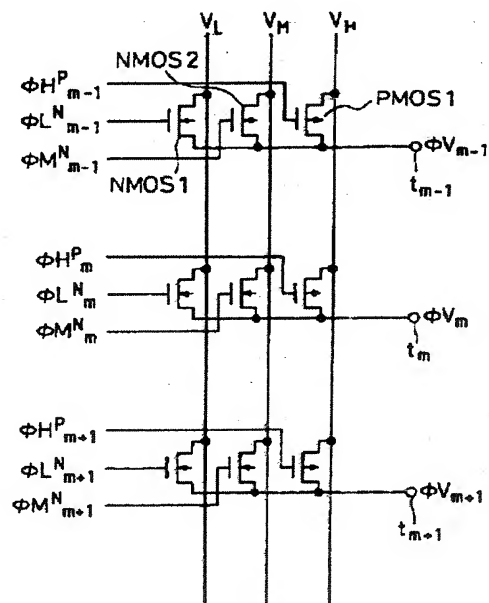
(74) 代理人 弁理士 松隈 秀盛

(54) 【発明の名称】 固体撮像装置

(57) 【要約】

【課題】 固体撮像装置において、その3値以上の電圧レベルを出力する回路のスイッチ素子数の低減を図る。

【解決手段】 3つ以上の電圧レベルを出力する回路をそのレベルの数と同じ数のスイッチ素子で構成する。



第1の実施例の回路構成図

(2)

1

【特許請求の範囲】

【請求項1】 3つ以上の電圧レベルを出力する回路がレベルの数と同じ数のスイッチ素子で構成されてなることを特徴とする固体撮像装置。

【請求項2】 3つの電圧レベルを出力する回路が3つのスイッチ素子で構成されてなることを特徴とする固体撮像装置。

【請求項3】 前記回路のスイッチ素子の第1の主電極が3つ以上の電圧レベルを与える夫々の電源に接続され、第2の主電極が出力に接続されて成ることを特徴とする請求項1に記載の固体撮像装置。

【請求項4】 前記回路のスイッチ素子が2つのnチャネルMOSトランジスタと1つのpチャネルMOSトランジスタで構成されるか、

又は1つのnチャネルMOSトランジスタと2つのpチャネルMOSトランジスタで構成されてなることを特徴とする請求項2に記載の固体撮像装置。

【請求項5】 高電圧レベルと低電圧レベル以外の出力レベルに対応したスイッチ素子に対して、該スイッチ素子を構成するnチャネルMOSトランジスタの相互コンダクタンスとpチャネルMOSトランジスタの相互コンダクタンスの比で計算される境界電位を境に、低い電位を出力するときは前記スイッチ素子をnチャネルMOSトランジスタで構成し、

前記境界電位を境に高い電位を出力するときは前記スイッチ素子をpチャネルMOSトランジスタで構成することを特徴とする請求項1に記載の固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、3つの電圧レベル（3値）ないしはそれ以上の電圧レベルを出力する回路を有する固体撮像装置に関する。

【0002】

【従来の技術】固体撮像装置として、例えば入射光により光電変換を行い、光電変換により得られた信号電荷を蓄積し、蓄積した電荷量に応じてチャネル電流を変調する機能を持つ画素例えば画素MOSトランジスタで構成された増幅型固体撮像装置が提案されている。

【0003】

【発明が解決しようとする課題】この増幅型固体撮像素子においては、暗電流をできるだけ低減させることが望まれている。暗電流には2つの原因があり、1つは画素MOSトランジスタでのホットキャリアの生成、もう1つは画素MOSトランジスタのゲート部界面、即ちゲート絶縁膜と半導体表面との界面での電子・ホールペアの生成である。

【0004】増幅型固体撮像素子において、画素MOSトランジスタがオフしているときは画素MOSトランジスタに微小電流が流れず、ホットキャリアの生成はな

2

い。従ってホットキャリアの生成による暗電流は生じない。しかし、電荷蓄積期間（いわゆる受光期間）においては、画素MOSトランジスタはオフ状態になっており、このオフ状態では画素MOSトランジスタのゲート部表面に電荷（電子）が注入できず、このため電子・ホールペアが生成し、このうちのホールがセンサ領域に蓄積されることによって暗電流が増すことになる。

【0005】この電子・ホールペアの生成による暗電流を低減するために、電荷蓄積期間において、ソース及びドレインを同電位としてゲート部に高電圧レベルを印加してゲート部界面に電荷、この例では電子を注入し、ゲート部界面での電子・ホールペアの発生を抑えることが考えられている。しかし、ソース及びドレインを同じ低い電圧にしてゲート部に高電圧レベルを印加して、ゲート部界面に電子を注入する時、ソース～ゲート境界とドレイン～ゲート境界における電界の高い部分において、注入される電子が加速されホットキャリアを生成してしまい暗電流の発生を招いてしまう。つまり、ゲート部界面から発生する暗電流を抑圧するために電子を注入しようとする、逆にホットキャリアによる暗電流が発生してしまう事になる。この2つの暗電流の原因を同時に回避するために、ゲート部界面に電子を注入する際に、ソース～ゲート境界とドレイン～ゲート境界における電界をなるべく小さくするべく、画素の制御電極に与える電圧を3値にする必要がある。

【0006】ところで、通常、垂直走査回路から3値の電圧レベルを出力するためには、例えば図8に示すように、その各出力段のスイッチ素子（即ちMOSトランジスタ）を4つ必要としていた。

【0007】図8は垂直走査回路の出力段を示し、各出力段は夫々スイッチ素子として2つのpチャネルMOSトランジスタ（PMOS1及びPMOS2）と、2つのnチャネルMOSトランジスタ（NMOS1及びNMOS2）の計4つのMOSトランジスタで構成される。各pチャネルMOSトランジスタPMOS1及びPMOS2、nチャネルMOSトランジスタNMOS1及びNMOS2のソース電極は3値の電圧を供給する電源 V_H 、 V_M 、 V_L に接続され、ドレイン電極は出力に接続され、ゲート電極は各パルス電圧が印加される。

【0008】即ち、第1のnチャネルMOSトランジスタNMOS1のソース電極に低電圧レベルの電源 V_L が接続され、ゲート電極にパルス電圧 ϕL^N [ϕL^{N-1} , ϕL^N , ϕL^{N+1} , ...] が印加され、第2のnチャネルMOSトランジスタNMOS2のソース電極及び第1のpチャネルMOSトランジスタPMOS1のソース電極に共に中間電圧レベルの電源 V_M が接続され、夫々のゲート電極にパルス電圧 ϕM^N [ϕM^{N-1} , ϕM^N , ϕM^{N+1} , ...] 及び ϕM^P [ϕM^{P-1} , ϕM^P , ϕM^{P+1} , ...] が印加され、第2のpチャネルMOSトランジスタPMOS2のソース

(3)

3

電極に高電圧レベルの電源 V_H が接続され、ゲート電極にパルス電圧 ϕ_{HP} [$\phi_{HP\ m-1}$, $\phi_{HP\ m}$, $\phi_{HP\ m+1}$, ...] が印加され、各 n チャネル及び p チャネルのMOSトランジスタNMOS1, NMOS2, PMOS1及びPMOS2のドレイン電極が出力端 t [t_{m-1} , t_m , t_{m+1} , ...] に接続される。この出力端 t [t_{m-1} , t_m , t_{m+1} , ...] から夫々垂直走査パルス ϕ_V [$\phi_{V\ m-1}$, $\phi_{V\ m}$, $\phi_{V\ m+1}$, ...] が出力される。

【0009】この垂直走査回路の動作で3値を出力する一例として、 m 行目の出力段について説明する。図9に示すようなタイミングで、スイッチ素子の各MOSトランジスタPMOS1, PMOS2, NMOS1及びNMOS2のゲート電極にパルス電圧 $\phi_{HP\ m}$, $\phi_{MP\ m}$, $\phi_{MN\ m}$, $\phi_{LN\ m}$ が供給されると、出力端 t_m から3値の垂直走査パルス $\phi_{V\ m}$ が得られる。

【0010】垂直走査パルス $\phi_{V\ m}$ に低電圧レベルの値 V_L が出力される場合は、パルス電圧 $\phi_{LN\ m}$ に接続されたMOSトランジスタNMOS1のみが導通状態となる。中間電圧レベルの値 V_M が出力される場合は、パルス電圧 $\phi_{MP\ m}$ と $\phi_{MN\ m}$ に夫々接続されたMOSトランジスタPMOS1とNMOS2が導通状態になる。高電圧レベルの値 V_H が出力される場合は、パルス電圧 $\phi_{HP\ m}$ に接続されたMOSトランジスタPMOS2が導通状態になる。

【0011】このように、3値を出力する垂直走査回路の場合は、1つの出力段につきスイッチ素子であるMOSトランジスタを4つ使った構成になっており、素子数が多いという欠点があり、更にこの出力段を制御するのに、1つの出力段につき ϕ_{HP} , ϕ_{MP} , ϕ_{MN} , ϕ_{LN} の4つのパルスが必要で、出力段を制御する回路規模も大きくなっていく欠点があった。

【0012】尚、3値の駆動パルスは、CCD固体撮像素子の垂直転送レジスタを駆動する場合にも必要となる。即ち、垂直転送レジスタ中を電荷転送する場合には、転送電極に低電圧レベルと中間電圧レベルの繰返しパルスが印加され、受光部から垂直転送レジスタに信号電荷を読み出すときには転送電極に高電圧レベルが印加される。従って、この場合の3値を出力する回路構成は、上述と同様に4つのスイッチ素子が使用される。

【0013】本発明は、上述の点に鑑み、固体撮像装置の例えば走査回路或いは読み出し・転送駆動回路等において、3値以上を出力する出力段を構成するスイッチ素子数を低減できるようにした固体撮像装置を提供するものである。

【0014】

【課題を解決するための手段】本発明に係る固体撮像装置は、3つ以上の電圧レベルを出力する回路をレベル数と同じ数のスイッチ素子で構成することを特徴とする。電圧レベルの数と同じ数のスイッチ素子で構成されるの

4

で、従来に比べて回路規模の縮小化が可能になる。

【0015】

【発明の実施の形態】本発明に係る第1の固体撮像装置は、3つ以上の電圧レベルを出力する回路をその電圧レベルの数と同じ数のスイッチ素子で構成する。

【0016】本発明に係る第2の固体撮像装置は、3つの電圧レベルを出力する回路を3つのスイッチ素子で構成する。

【0017】本発明は、上記第1の固体撮像装置において、回路のスイッチ素子の第1の主電極が3つ以上の電圧レベルを与える夫々の電源に接続され、第2の主電極が出力に接続された構成とする。

【0018】本発明は、上記第2の固体撮像装置において、回路のスイッチ素子を2つの n チャネルMOSトランジスタと1つの p チャネルMOSトランジスタで構成するか、又は1つのチャネルMOSトランジスタと2つの p チャネルMOSトランジスタで構成する。

【0019】本発明は、上記第1の固体撮像装置において、高電圧レベルと低電圧レベル以外の出力レベルに対応したスイッチ素子に対して、スイッチ素子を構成する n チャネルMOSトランジスタの相互コンダクタンスと p チャネルMOSトランジスタの相互コンダクタンスの比で計算される境界電位を境に、低い電位を出力するときは上記スイッチ素子を n チャネルMOSトランジスタで構成し、上記境界電位を境に高い電位を出力するときは上記スイッチ素子を p チャネルMOSトランジスタで構成する。

【0020】以下、図面を参照して本発明の実施例について説明する。

【0021】図1は、 $X-Y$ アドレス型固体撮像装置の1つである増幅型固体撮像装置に適用した実施例である。この増幅型固体撮像装置1は、単位画素（セル）を構成する画素トランジスタ、例えば画素MOSトランジスタ2が複数個行列状に配列され、各画素MOSトランジスタ2の第1の主電極、即ちドレイン電極が電源 V_D に共通に接続され、各行毎の画素MOSトランジスタ2の制御電極、即ちゲート電極が垂直走査回路3から走査パルス ϕ_V [... , $\phi_{V\ m+1}$, $\phi_{V\ m}$, ...] が出力される垂直選択線4に接続され、各列毎の画素MOSトランジスタ2の第2の主電極、即ちソース電極が画素信号を水平走査回路6に出力する垂直信号線5に接続される。

【0022】水平走査回路6は、動作スイッチ（例えばMOSスイッチ）7、負荷容量素子8、水平スイッチ（例えばMOSスイッチ）9、水平信号線10及び水平シフトレジスタ11により構成される。即ち、垂直信号線5には、動作パルス ϕ_{op} によって制御される動作スイッチ7を介して画素信号を保持する負荷容量素子8が接続され、負荷容量素子8と水平信号線10との間に水平シフトレジスタ11の水平走査パルス ϕ_H [... , ϕ_H

50

(4)

5

$n, \phi H_{n+1}, \dots$]により制御される水平スイッチ9が接続される。

【0023】画素信号は、水平ブランキング期間に動作スイッチ7を介して負荷容量素子8に保持され、この負荷容量素子8に保持された画素信号は水平映像期間中に、水平シフトレジスタからの水平走査パルス ϕH [$\dots, \phi H_n, \phi H_{n+1}, \dots$]により制御された水平スイッチ9が順次導通し、水平信号線10に出力される。

【0024】水平信号線10の端には、演算増幅器、例えば差動増幅器12と、検出容量素子13及びリセットスイッチ（例えばリセットMOSスイッチ）14により構成された水平出力回路15が接続され、水平信号線10に順次出力された画素信号を電圧に変換して撮像装置1の出力端子 t_{out} から信号を出力する。

【0025】水平出力回路15では、差動増幅器12の反転入力端子に水平信号線10が接続され、その非反転入力端子に所定のバイアス電圧 V_B が与えられ、差動増幅器12に並列に、即ち差動増幅器12の反転入力端子と出力端子間に検出容量素子13及びリセットパルス ϕR が印加されるリセットスイッチ14が接続される。

【0026】図3Aは行列状に配列された画素MOSトランジスタの平面図、図3Bは、単位画素（即ち画素MOSトランジスタ2）の半導体構造の一例を示す。この画素MOSトランジスタ2は、第1導電型、例えばp型のシリコン半導体基板21上にオーバーフローバリア領域となる第2導電型例えばn型半導体領域22及びp型半導体領域23が順次形成され、このp型半導体領域23の表面にこれより濃度の高いp型半導体領域からなる、いわゆるセンサ領域24が形成される。さらに、センサ領域24上に例えば SiO_2 等によるゲート絶縁膜25を介して光を透過するリング状のゲート電極26が形成され、そのリング状のゲート電極26の内側及び外側に対応する領域に夫々n型のソース領域27及びドレイン領域28が形成され、また、ドレイン領域28の直下のp型半導体領域23に、ゲート下に蓄積された信号電荷が隣接画素へ漏れ出さないようにするためのn型のチャネルストップ領域29が形成されて成る。

【0027】この画素MOSトランジスタ2では、図3Bに示すように、リング状のゲート電極26を透過した光Lがシリコン半導体中で光電変換して、電子・ホールペアを発生し、このうちの一方の電荷、この例ではホールhが信号電荷としてゲート電極26下のp型センサ領域24に形成されたポテンシャルウェルに蓄積される。この電荷（ホール）hにより、読み出し動作時におけるチャネル電流（即ちセンサ領域24の表面のチャネルに流れるチャネル電流〔いわゆるソース・ドレイン間電流〕）が制御され、そのチャネル電流の変化量が信号出力となる。

【0028】上述の増幅型固体撮像装置1は、一例として、画素MOSトランジスタ2の制御電極に、選択状態

6

において高レベルの電圧を印加し、非選択状態において読み出し期間に中間レベルの電圧を印加し、画素リセット期間に低レベルの電圧を印加することが要求される。そして、暗電流の低減のために、電荷蓄積期間では画素MOSトランジスタ2のソース及びドレインを同電位にした状態で制御電極に高レベルの電圧を印加することが要求される。

【0029】図2の駆動タイミングチャートに示すように、同図中、例えば左の水平ブランキング期間 H_{BLK} についてみると、この水平ブランキング期間 H_{BLK} の前半に $m-1$ 行目の画素MOSトランジスタ2から画素信号を出力し負荷容量素子8に画素信号を保持する動作、即ち読み出し動作を行うために、 $m-1$ 行目の垂直走査パルス ϕV_{m-1} を高レベルにし、動作スイッチ7の制御電極に加えられる動作パルス ϕ_{OP} を立ち上げれば、負荷容量8に画素信号が読み出される（選択読み出し）。次に、水平ブランキング期間 H_{BLK} の後半では、読み出した画素MOSトランジスタ2の信号電荷をリセットするために $m-1$ 行目の垂直走査パルス ϕV_{m-1} を高レベルにしたまま、基板パルス ϕ_{SUB} を立ち上げ画素MOSトランジスタ2に蓄積されている信号電荷を基板に排出する（いわゆる選択リセット）。

【0030】一方、同じ水平ブランキング期間 H_{BLK} の前半に、 $m-1$ 行目以外の読み出しを行わない画素MOSトランジスタ（いわゆる非選択画素）2の制御電極は、図2中の垂直走査パルス ϕV_m と ϕV_{m+1} で示されるように、中間レベルにして信号が読み出されないようにする（非選択読み出し）。また、同じ水平ブランキング期間の後半に、リセットを行わない $m-1$ 行目以外の画素MOSトランジスタ2の制御電極は、図中の垂直走査パルス ϕV_m と ϕV_{m+1} で示されるように、低レベルにして画素MOSトランジスタ2に蓄積された信号電荷がリセットされないようにする（非選択リセット）。水平映像期間中は、水平走査パルス ϕH [$\dots, \phi H_n, \phi H_{n+1}, \dots$]により制御された水平スイッチ9で負荷容量素子8に保持された画素信号が水平信号線10に出力され、水平出力回路15から信号OUTを出力する。

【0031】次に、上述のX-Yアドレス型の増幅型固体撮像装置において、垂直走査回路ないしは水平走査回路の出力が3値であるような場合の走査回路の出力段の回路構成の実施例を説明する。

【0032】図4は例えば垂直走査回路3の各出力段の回路構成の第1の実施例を示す。この垂直走査回路3の各出力段は、制御電極（即ちゲート電極）にパルス電圧 ϕL^N [$\phi L^N_{m-1}, \phi L^N_m, \phi L^N_{m+1}$]が供給され、第1の主電極（即ちソース電極）が低レベルの電源 V_L に接続された第1のnチャネルMOSトランジスタNMOS1と、制御電極（即ちゲート電極）にパルス電圧 ϕM^N [$\phi M^N_{m-1}, \phi M^N_m, \phi M^N_{m+1}$]が供給

(5)

7

され、第1の主電極（即ちソース電極）が中間レベルの電源 V_M に接続された第2のnチャネルMOSトランジスタNMOS2と、制御電極（即ちゲート電極）にパルス電圧 ϕH^P [ϕH^P_{m-1} , ϕH^P_m , ϕH^P_{m+1}]が供給され、第1の主電極（即ちソース電極）が高レベルの電源 V_H に接続されたpチャネルMOSトランジスタPMOS1との3つのスイッチ素子で構成される。各MOSトランジスタNMOS1、NMOS2及びPMOS1の夫々の第2の主電極（即ちドレイン電極）は共通の出力端子 t [t_{m-1} , t_m , t_{m+1}]に接続される。

【0033】次に、この図4の実施例の動作を図5のタイミングチャートを用いて説明する。垂直走査パルス ϕV_m を例にとる。この垂直走査パルス ϕV_m に低レベルの値 V_L が出力される場合は、パルス電圧 ϕL^N が高レベルで電源 V_L に接続された第1のnチャネルMOSトランジスタNMOS1が導通状態となり、他のパルス電圧 ϕM^N が低レベルで電源 V_M に接続された第2のnチャネルMOSトランジスタNMOS2とパルス電圧 ϕM^H が高レベルで電源 V_H に接続されたpチャネルMOSトランジスタPMOS1とが非導通状態となる。

【0034】垂直走査パルス ϕV_m に中間レベルの値 V_M が出力される場合は、パルス電圧 ϕL^N が低レベルで電源 V_L に接続された第1のnチャネルMOSトランジスタNMOS1が非導通状態となり、パルス電圧 ϕM^N が高レベルで電源 V_M に接続された第2のnチャネルMOSトランジスタNMOS2が導通状態となり、パルス電圧 ϕH^P が高レベルで電源 V_H に接続されたPMOS1が非導通状態となる。

【0035】垂直走査パルス ϕV_m に高レベルの値 V_H が出力される場合は、パルス電圧 ϕL^N が低レベルで電源 V_L に接続された第1のnチャネルMOSトランジスタNMOS1と、パルス電圧 ϕM^N が低レベルで電源 V_L に接続された第2のnチャネルMOSトランジスタNMOS2とが非導通状態となり、パルス電圧 ϕH^N が低レベルで電源 V_H に接続されたpチャネルMOSトランジスタPMOS1が導通状態となる。

【0036】この第1の実施例によれば、垂直走査回路の出力が3値である場合の出力段のスイッチ素子が3個で済む上、出力段に入るパルス電圧も3種類だけでよい。このため、垂直走査回路で最も面積をとる出力段が小さくなり、また出力段の動作に必要なパルスを作る走査回路中の論理回路の規模も小さくなり、増幅型固体撮像装置の小型化に寄与する。

【0037】図6は第2の実施例を示す。この第2の実施例において、前述の図4の第1の実施例と違うところは、中間レベルの電源 V_M に第1の主電極（即ちソース電極）が接続されたスイッチ素子をnチャネルMOSトランジスタNMOS2に代えてpチャネルMOSトランジスタPMOS2とした点である。その他の構成は図4と同様なので重複説明を省略する。

8

【0038】この第2の実施例のタイミングチャートを図7に示す。ここでは、中間レベルの電源 V_M にソース電極が接続されたpチャネルMOSトランジスタPMOS2を制御するパルス電圧 ϕM^P_m が、第1の実施例のnチャネルMOSトランジスタNMOS2を制御するパルス電圧 ϕM^N_m に対して反転している。他のパルス電圧 ϕH^P_m , ϕL^N_m は第1の実施例と同じである。

【0039】基本的な動作は、第1の実施例と同様である。垂直走査パルス ϕV_m に低レベルの値 V_L を出力するときは、電源 V_L に接続されたnチャネルMOSトランジスタNMOS1を導通し、中間レベルの値 V_M を出力するときは、電源 V_M に接続された第2のpチャネルMOSトランジスタPMOS2を導通し、高レベルの値 V_H を出力するとは、電源 V_H に接続された第1のpチャネルMOSトランジスタPMOS1を導通するように、夫々のスイッチ素子、即ちnチャネルMOSトランジスタNMOS1、第1及び第2のpチャネルMOSトランジスタPMOS1及びPMOS2の制御電極にパルス電圧 ϕL^N , ϕM^P , ϕH^P を与える。

【0040】この第2の実施例においても、第1の実施例と同様に、走査回路の出力が3値である場合の出力段のスイッチ素子が3個で済み、また出力段に入るパルス電圧も3種類でよい。従って、走査回路での出力段の占有面積が小さくなり、また、出力段の動作に必要なパルス電圧を作る走査回路中の論理回路の規模も小さくなり、固体撮像装置の小型化が図れる。

【0041】図4の第1の実施例は、中間レベルの出力電圧 V_M が高レベルと低レベルのほぼ中間より低レベル寄りである場合に有利であり、図6の第2の実施例は、逆に中間レベルの出力電圧 V_M が高レベル寄りである場合に有利である。

【0042】その理由は、中間レベルを出力する時に導通するスイッチ素子のオン抵抗に起因し、中間レベルの出力電圧が高レベルと低レベルのほぼ中間を境に、低レベル寄りならnチャネルMOSトランジスタの方がオン抵抗が低くなり、高レベル寄りならpチャネルMOSトランジスタの方がオン抵抗が低くなり、上記の条件下で、中間レベルを出力するスイッチ素子のサイズ（チャネル幅）を最小にできる。

【0043】換言すれば、例えば3値以上とした場合には、高レベルと低レベル以外の出力レベルに対応したスイッチ素子に対して、スイッチ素子を構成するnチャネルMOSトランジスタの相互コンダクタンスとpチャネルMOSトランジスタの相互コンダクタンスの比で計算される境界電位を境に、低い電位を出力するときはその中間のレベルを出力するスイッチ素子をnチャネルMOSトランジスタで構成し、前記境界電位を境に高い電位を出力するときはその中間のレベルを出力するスイッチ素子をpチャネルMOSトランジスタで構成するのがよい。

50

(6)

9

【0044】尚、上例では3値の電圧レベルを出力する走査回路の出力段について説明したが、3値以上の電圧レベルを出力する場合にも、そのレベルの数と同数のスイッチ素子で構成することができる。

【0045】また、本発明は、CCD固体撮像装置において、垂直転送レジスタに与える3値、即ち垂直転送レジスタ内の電荷転送時の低レベル及び中間レベルと、受光部からの信号電荷を垂直転送レジスタに読み出すときの高レベルとの3値の駆動パルスを出力する出力段の回路構成にも、上述の本発明を適用できる。

【0046】

【発明の効果】本発明によれば、3つの電圧レベル、もしくは3つ以上の電圧レベルを出力する回路がそのレベルの数と同じ数のスイッチ素子で構成されることにより、固体撮像装置の例えば走査回路、或いは転送駆動回路の出力段のスイッチ素子を減らすことができ、従って、出力段の占有面積を小さくでき、同時に、このスイッチ素子を制御するパルスを作る論理回路の規模も縮小することができる。これによって固体撮像装置の小型化を図ることができる。

【0047】3値の電圧レベルを出力するときは、2つのnチャンネルMOSトランジスタと1つのpチャンネルMOSトランジスタの計3つのMOSトランジスタ、又は1つのnチャンネルMOSトランジスタと2つのpチャンネルMOSトランジスタの計3つのMOSトランジスタで回路を構成することができる。

【0048】高電圧レベルと低電圧レベル以外の出力レベルに対応したスイッチ素子をpチャンネルMOSトランジスタ又はnチャンネルMOSトランジスタとすることに

10

より、その中間出力レベルを高電圧レベル寄り、又は低電圧レベル寄りにすることが可能となる。

【図面の簡単な説明】

【図1】本発明に係る固体撮像装置の一例を示す構成図である。

【図2】本発明に係る固体撮像装置の駆動タイミングチャートと出力波形図である。

【図3】A 本発明に係る固体撮像素子の画素の概略的平面図である。

10 B 図3AのX-X'線上の断面図である。

【図4】本発明に係る3値の電圧レベルを出力する出力段の一例を示す回路構成図である。

【図5】図4のタイミングチャートである。

【図6】本発明に係る3値の電圧レベルを出力する出力段の他の例を示す回路構成図である。

【図7】図6のタイミングチャートである。

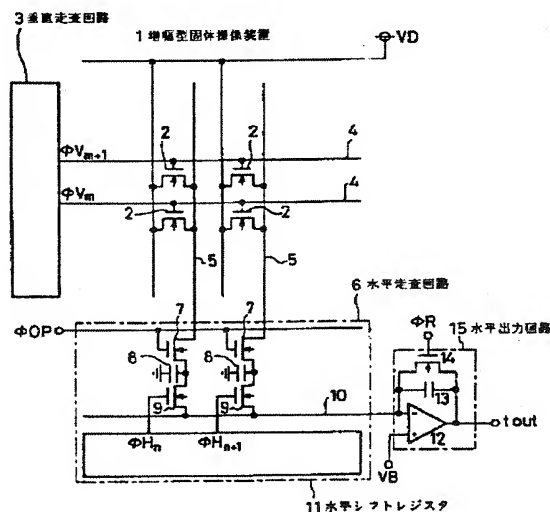
【図8】従来例に係る3値の電圧レベルを出力する出力段の回路構成図である。

【図9】図8のタイミングチャートである。

20 【符号の説明】

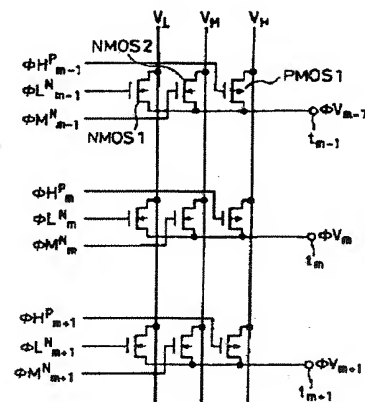
1 増幅型固体撮像装置、2 画素MOSトランジスタ、3 垂直走査回路、4 垂直選択線、5 垂直信号線、6 水平走査回路、7 動作スイッチ、8 負荷容量素子、9 水平スイッチ、10 水平信号線、11 水平シフトレジスタ、15 水平出力回路、PMOS1、PMOS2 pチャンネルMOSトランジスタ（スイッチ素子）、NMOS1、NMOS2 nチャンネルMOSトランジスタ（スイッチ素子）

【図1】



実施例に係る固体撮像装置の構成図

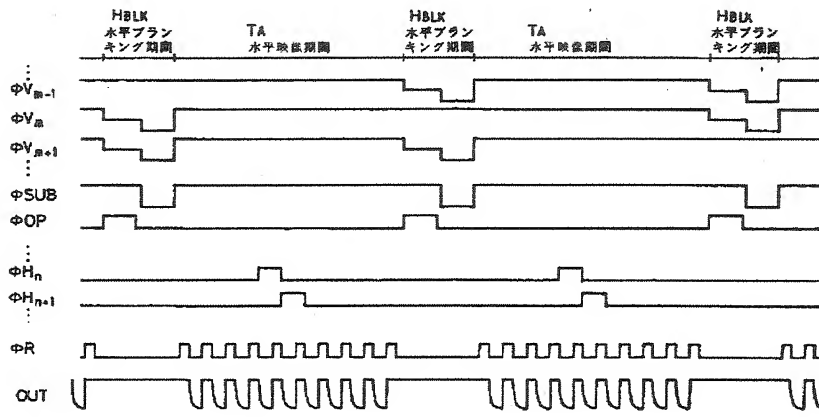
【図4】



第1の実施例の回路構成図

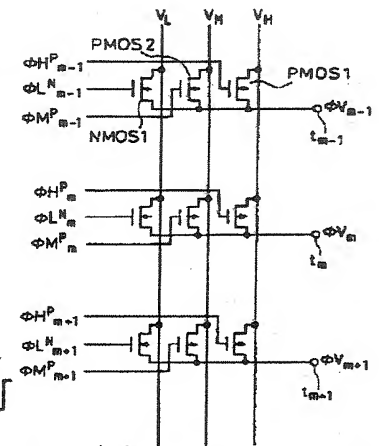
(7)

【図2】



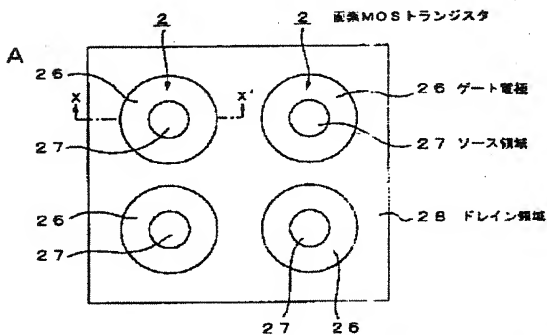
駆動タイミングチャートと出力波形図

【図6】



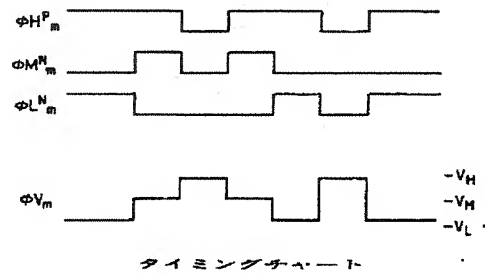
第2の実施例の回路構成図

【図3】



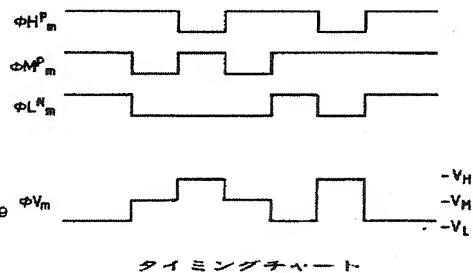
1. 増幅型固体撮像素子の面素の平面図

【図5】

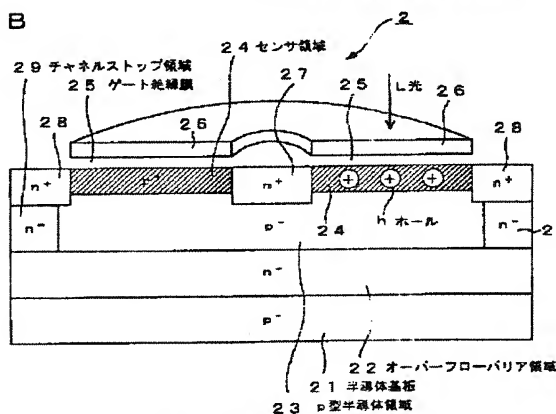


タイミングチャート

【図7】



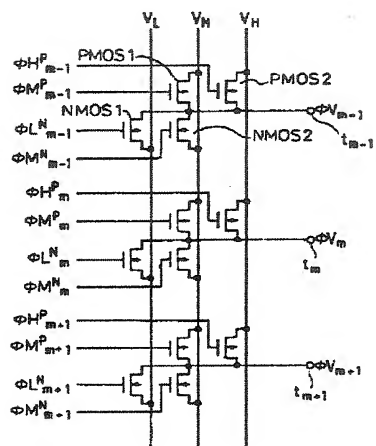
タイミングチャート



X - X' 断面図の構成図

(8)

【図8】



【図9】

